

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-137601

(43)Date of publication of application : 30.05.1989

(51)Int.Cl.

H01C 7/00
H01C 7/13
H01C 13/00
H01C 17/24
H01L 39/02
// H01B 12/06

(21)Application number : 62-296532

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 25.11.1987

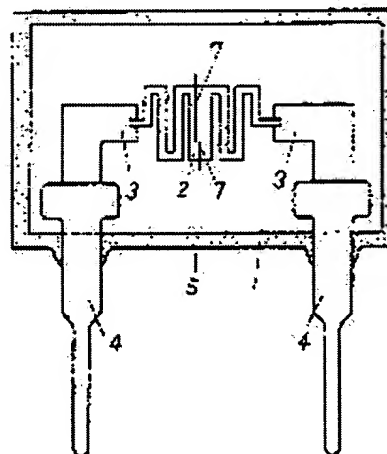
(72)Inventor : TAKAHARA HIROSHI

(54) RESISTOR ELEMENT

(57)Abstract:

PURPOSE: To use a current value different from conventional ones to generate a resistance value so that a new logic and functional element is produced, by forming a thin film of a superconductive material on a substrate and by trimming a thin plate and making a critical current value become a predetermined one.

CONSTITUTION: Leading patterns 3 are formed on an insulation substrate 1 and a superconductive thin film resistor element 2 is formed to be connected with the patterns. Prescribed parts of the element 2 are trimmed to form trimming grooves 7, so that a critical current value of the element is adjusted. Leading terminals 4 are finally made to complete the resistor element 2. When a current in excess of the critical current value flows through the element 2 whose critical current is adjusted, a superconductive state is broken and the element 2 becomes resistive. The current value different from conventional ones is thus used to generate the resistance value, so that a new logic and functional element is produced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-137601

⑤ Int.Cl.*	識別記号	庁内整理番号	⑬ 公開 平成1年(1989)5月30日
H 01 C 7/00	Z A A	A-8525-5E	
7/13		7048-5E	
13/00	Z A A	Z-7303-5E	
17/24	Z A A	C-7303-5E	
H 01 L 39/02	Z A A	Z-8728-5F	
// H 01 B 12/06	Z A A	8623-5E	審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 抵抗体素子

⑮ 特 願 昭62-296532

⑯ 出 願 昭62(1987)11月25日

⑰ 発 明 者 高 原 博 司 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

抵抗体素子

2. 特許請求の範囲

- (1) 絶縁基板上に超電導材料からなる第1の超電導薄膜を形成し、かつ前記第1の超電導薄膜にトリミングにより臨界電流値を調整する部位を形成し、かつ前記第1の超電導薄膜の少なくとも一端に引き出し端子を形成したことを特徴とする抵抗体素子。
- (2) 第1の超電導薄膜の上層と下層のうち少なくとも一方に常電導材料からなる常電導薄膜を形成したことを特徴とする特許請求の範囲第(1)項記載の抵抗体素子。
- (3) 第1の超電導薄膜上に絶縁体材料からなる絶縁体膜で被覆したことを特徴とする特許請求の範囲第(1)項記載の抵抗体素子。
- (4) 第1の超電導薄膜の上層と下層のうち少なくとも一方に絶縁体膜を介して、超電導材料からなる第2の超電導薄膜を形成したことを特徴とする

る特許請求の範囲第(1)項記載の抵抗体素子。

- (5) 超電導材料からなる閉じた超電導バターン内に第1の超電導薄膜を形成したことを特徴とする特許請求の範囲第(1)項記載の抵抗体素子。

- (6) 1つの絶縁基板上に複数個の第1の超電導薄膜を形成したことを特徴とする特許請求の範囲第(1)項記載の抵抗体素子。

- (7) 第2の超電導薄膜に接続された第2の引き出し端子を形成したことを特徴とする特許請求の範囲第(4)項記載の抵抗体素子。

- (8) 複数個の第1の超電導薄膜の一端を共通にしたことを特徴とする特許請求の範囲第(6)項記載の抵抗体素子。

- (9) 1つの絶縁基板上に形成された複数個の第1の超電導薄膜のうち少なくとも1つは他の第1の超電導薄膜の有する臨界電流値と異なることを特徴とする特許請求の範囲第(6)項記載の抵抗体素子。

- (10) 第1の超電導薄膜間に超電導材料からなる第3の超電導薄膜を形成したことを特徴とする特許請求の範囲第(6)項記載の抵抗体素子。

00 第1の超電導薄膜の一端を複数個共通にし、前記複数個共通にした一端に超電導材料からなる第4の超電導薄膜を形成したことを特徴とする特許請求の範囲第(6)項記載の抵抗体素子。

02 複数個形成された第3の超電導薄膜の一端を共通にし、第3の引き出し端子に接続したことを特徴とする特許請求の範囲第00項記載の抵抗体素子。

3. 発明の詳細な説明

産業上の利用分野

本発明は電子素子として重要な抵抗体素子に関するものである。

従来の技術

以下、図面を参照しながら従来の抵抗体素子について説明する。第16図は通常カーボン抵抗と呼ばれる抵抗体素子の平面図を示すものである。第16図において21はカーボンなどの抵抗体物質からなるカーボン抵抗体素子、22はリード線である。第17図は通常ネットワーク抵抗と呼ばれる抵抗体素子の平面図である。ただし以下の図面において

抵抗体素子および前記抵抗体素子が形成された絶縁基板はエポキシ樹脂などにより保護被覆がほどこされるが、説明を容易にするため、抵抗体素子形成面の保護被覆を除去し作図している。第17図において1はセラミックなどの絶縁基板、5はエポキシなどの保護膜、T₁～T_nは基板に挿入するために絶縁基板1に取りつけられた金属からなる引き出し端子、P₁～P_nは銀ペーストなどを焼成して得られる引き出しパターン、N₁～N_nは酸化ルテニウムを主成分とする厚膜抵抗素子である。以下、同一記号あるいは同一番号を付した箇所は同一内容あるいは類似的な内容のものである。第18図は第17図のC-C'線での断面図である。以下の図面において一部縮小あるいは拡大部分が存在し、前記のことは特に厚み方向に対して著しい。第18図において抵抗体素子形成面の保護膜5を省略しているか、通常は第10図に示すごとく、抵抗体素子を湿度など外部環境から保護するため、被覆されている。

以下、図面を参照しながら、従来の抵抗体素子

の使用方法について説明する。第20図(a)(b)(c)は従来の抵抗体素子の使用方法を説明するための説明図である。まず第20図(a)は従来の抵抗体素子をオープンコレクタTTL ICのプルアップ抵抗として用いた例であり、8はオープンコレクタTTL IC、25は抵抗体素子である。第20図(a)においてオープンコレクタTTL ICはワイヤードOR結合され、1つの抵抗体素子に接続されている。今複数のオープンコレクタTTL ICのうち1つでも“H”レベルの入力があると、抵抗体素子25に電流が流れ、a点の電位レベルは“H”レベルから“L”レベルになる。つぎに第20図(b)は従来の抵抗体素子をオペアンプの出力保護として用いた例であり、26・27・28は抵抗体素子、24はオペアンプである。第20図(b)において抵抗体素子26・27はオペアンプの増幅率の設定用、抵抗体素子28はオペアンプの出力保護として用いられている。今b点がグランド電位と短絡状態になったとき、抵抗体素子28に電流が流れ、c b間に電圧降下がおき、オペアンプ24を保護する。

さらに第20図(c)は第17図に示すネットワーク抵抗はTTL ICのプルアップ及びTTL ICへの電流供給用として用いた例であり、23はLS 244などのTTL IC、29はネットワーク抵抗である。

発明が解決しようとする問題点

しかしながら従来の抵抗体素子では第20図(a)のように複数TTL ICのどれか1つ以上に入力変化があるとa点の電位が変化するというようなORの論理構成しかとることができない。したがって論理回路構成上制約が生じている。また第20図(b)のように出力保護として抵抗体素子を用いる場合、正常動作時にも当然のことながら抵抗体素子28に電流が流れ、c b点間の電圧降下を生じる。したがってオペアンプからの出力信号を抵抗体素子28により分圧されることになり、抵抗体素子28に分圧された信号は損失となってしまふ。また、従来の抵抗体素子では電流が流れると発熱が生じ、前記発熱は回路構成上大きな問題となる。

本発明は上記問題点に鑑み、新しい論理構成を

とることができ、かつ電力消費のない抵抗要素子を提供するものである。

問題点を解決するための手段

上記問題点を解決するために本発明の抵抗要素子は絶縁基板上に超電導材料からなる超電導薄膜を形成し、かつ前記超電導薄膜にトリミングにより臨界電流値を調整する部位を形成したものである。

作用

本発明は超電導材料からなる薄膜を絶縁基板上に形成する。つぎに前記薄膜にトリミングをほどこし、臨界電流が所定値となるよう調整する。前記臨界電流が調整された薄膜に臨界電流値以上の電流が流れると、超電導状態がやぶれ、前記薄膜は抵抗をもつことになる。したがって電流値により抵抗値を生じさせる論理及び機能要素子を得ることができる。

実施例

以下本発明の一実施例の抵抗要素子について、図面を参照しながら説明する。

の抵抗要素子を得ることができる。

以下本発明の第1の実施例の抵抗要素子の使用方法について説明する。ただし、以下第2の実施例以後の抵抗要素子の基本的使用方法についても同様である。第3図(a)(b)(c)は本発明の抵抗要素子の使用方法を説明するための説明図である。まず第3図(a)は本発明の抵抗要素子をオープンコレクタTTL IC 8のプルアップ抵抗として用いた例である。今、超電導薄膜抵抗要素子2は仮に臨界電流値が50mAに調整されており、オープンコレクタTTL IC 8の入力電流が各々20mAとする。ただしTTL ICは20mAの制限電流が流れた場合かつ、オープンコレクタ端子の電位が電源電位の場合、TTL IC内でオープンコレクタ端子の電位を電源電位に維持できる構造のものとする。するとオープンコレクタTTL IC 1つの入力に“H”レベルになっても超電導薄膜抵抗要素子2を流れる電流は20mAであり臨界電流値以上流れないため、d e点間の電位差は生じない。次にオープンコレクタTTL ICの3つの入力

第1図は本発明の第1の実施例における抵抗要素子の平面図である。第1図において1はセラミックなどの絶縁基板、2は超電導材料からなる薄膜(以後、超電導薄膜抵抗要素子と呼ぶ。)3は銀ペーストなどを焼成して得られる引き出しパターン、4は引き出し端子、5はエポキシなどの保護膜である。なお以下の図面に対しても同様であるが説明を容易にするため要素子表面上の保護膜5は省略してあり、また本明細書で言う薄膜とはスパッタなどの蒸着技術で形成される薄膜だけに限定されるのではなく、塗布技術・スクリーン印刷技術などで形成される通常厚膜と呼ばれるものをも含む。第1図で明らかなように絶縁基板1上に引き出しパターン3を形成し、前記引き出しパターン3に接続されるように超電導薄膜抵抗要素子2を形成する。次に第2図に示すように超電導薄膜抵抗要素子2の所定部にトリミングをほどこし、トリミング溝7を形成することにより、超電導薄膜抵抗要素子2の臨界電流値を調整する。最後に引き出し端子4を形成することにより本発明

が“H”レベルになると超電導薄膜抵抗要素子を流れる電流は臨界電流値以上となり、超電導薄膜抵抗要素子の超電導状態が破れ、d e点間に電位差が生じ、d点は“L”レベルとなる。したがって一定数の入力により論理が成立するワイヤードAND論理回路を構成することができる。つぎに第3図(b)は本発明の抵抗要素子をオペアンプの出力保護として用いた例である。今、g点がグラウンド電位と短絡状態となったとき、超電導薄膜抵抗要素子2に臨界電流値以上の電流が流れ、超電導薄膜抵抗要素子の超電導状態が破れ、抵抗値を持つようになる。したがってオペアンプ24の出力保護をおこなうことができる。また正常動作時は当然のことながら超電導薄膜抵抗要素子の両端つまりf g点間は抵抗値が0オームであるから、オペアンプの出力信号は減衰することなく、次段に伝達される。

以下本発明の第2の実施例の抵抗要素子について説明する。第4図は第1図のごとくAA'線での断面図を示している。第4図において6は酸化

ルテニウムなどの導電性の薄膜（以下、導電薄膜と呼ぶ。）である。第4図で明らかなように超電導薄膜抵抗体素子2上に導電薄膜6を形成している。前記のような構成をとることにより、超電導薄膜抵抗体素子2の超電導状態が破れたとき、導電薄膜6にも電流が流れ、超電導薄膜抵抗体素子2が発熱により焼損することを防止し、かつ超電導薄膜抵抗体素子を温度など外部環境から保護する効果を持つ。

以下、本発明の第3の実施例の抵抗体素子について説明する。第5図は本発明の第3の実施例の抵抗体素子の平面図を示している。第5図において9はガラスなどの絶縁体膜である。第5図で明らかなように本発明の第3の実施例では、超電導薄膜抵抗体素子2上を絶縁体膜9で被覆している。前記の構成をとることにより、超電導薄膜抵抗体素子2を湿度などの外部環境から保護することともに、ひっかき被損するなど外部の機械的応力から保護することができる。またレーザなど光学的あるいは熱的手段でトリミングをおこなう際、レ

ーザ光によりガラスが溶解し、トリミング溝7を被覆する。したがってトリミング後も超電導薄膜抵抗体素子2を外部環境から安定に保つことができる。

以下、本発明の第4の実施例の抵抗体素子について説明する。第6図は本発明の第4の実施例の抵抗体素子の平面図を示している。第6図において10は超電導材料からなる閉じた超電導パターン、11は絶縁体膜である。第6図で明らかなように、絶縁基板1上に引き出しパターン3を形成し、超電導薄膜抵抗体素子2を形成する。次に絶縁体膜11を形成し、超電導電流薄膜抵抗体素子2を取り囲むように超電導パターン10を形成する。閉じた超電導パターン10が超電導状態にあるとき、前記パターン10内部に磁束は貫くことができない。したがって、超電導薄膜抵抗体素子2をも磁束は貫くことができなくなる。ゆえに超電導薄膜抵抗体素子2には電磁波などの磁束による雑音が発生することがなく、外部雑音の影響を受けにくいという効果を有する。

以下、本発明の第5の実施例の抵抗体素子について説明する。第7図は本発明の第5の実施例の抵抗体素子の平面図を示している。第7図において12は超電導材料からなる超電導薄膜、13は絶縁体膜である。第7図で明らかなように絶縁基板1上に超電導薄膜12を形成し、前記超電導薄膜12上に絶縁体膜13を形成する。次に引き出しパターン3及び超電導薄膜抵抗体素子2を形成する。今、超電導薄膜12が超電導状態にあるとき、超電導薄膜12は電磁波などをシャヘイする。したがって前記超電導薄膜12上に形成された超電導薄膜抵抗体素子2にも電磁波などが印加されない。ゆえに外部雑音を受けにくいという効果を有する。

以下、本発明の第6の実施例の抵抗体素子について説明する。第8図は本発明の第6の実施例の抵抗体素子の平面図を示している。第7図において14は引き出し端子、15は引き出しパターンである。第6の実施例と第5の実施例との差異は引き出しパターン15を形成し、前記引き出しパターン15を超電導薄膜12に接続したことにある。また本

発明の第6の実施例の抵抗体素子の使用方法是引き出し端子14をグランド電位に固定されるようにして用いる。したがって超電導薄膜12の電位はグランド電位に固定され、かつ、超電導薄膜抵抗体素子2と超電導薄膜12が電極となりコンデンサが形成される。ゆえに第5の実施例の抵抗体素子と比較して、さらに外部の電磁波の影響を受けにくく、かつ外部雑音の影響を受けにくい抵抗体素子を提供することができる。

以下、本発明の第7の実施例の抵抗体素子について説明する。第9図は本発明の第7の実施例の抵抗体素子の平面図を示している。第9図において $R_1 \sim R_n$ は超電導薄膜抵抗体素子、 $T_1 \sim T_n$ は引き出し端子、 $P_1 \sim P_n$ は引き出しパターンである。第10図は第9図のBB'線における断面図である。本発明の第7の実施例では絶縁基板1上に複数個の超電導薄膜抵抗体素子を形成し、かつ前記超電導薄膜抵抗体素子の一端を共通にし、引き出し端子 T_n に接続している。

以下、本発明の第7の実施例の抵抗体素子の使

用方法について説明する。なお基本的な使用方法は以下に示す実施例の抵抗要素子に共通である。第11図は本発明の第7の実施例の抵抗要素子の使用方法を説明するための説明図である。第11図において16は電流を消費する電子回路、17は電圧および電流印加手段である。今、仮に超電導薄膜抵抗要素子 $R_1 \sim R_n$ はそれぞれ臨界電流20mAに調整されているものとする。また電子回路16の消費電流が最大値40mAとする。そこで電子回路16が消費電流が40mAとなったとき、超電導薄膜抵抗要素子 R_1 および R_n の超電導状態が破れ、電子回路16に流れる電流を制限する。前述のごとく、電子回路への制限電流に応じて、隣接した超電導薄膜抵抗要素子の一端を短絡し、臨界電流値を調整する。以上のように本発明の抵抗要素子を用いることにより、効率よく、電子回路16への制限電流を定めることができる。

以下、本発明の第8の実施例の抵抗要素子について説明する。第12図は本発明の第8の実施例の抵抗要素子の平面図を示している。第12図におい

て $S_1 \sim S_n$ は超電導材料からなる超電導薄膜である。第8の実施例では超電導薄膜抵抗要素子 $R_1 \sim R_n$ 間に超電導薄膜 $S_1 \sim S_n$ を形成したことにより、各超電導薄膜抵抗要素子を電磁的にしゃへいすることができる。

以下、本発明の第9の実施例の抵抗要素子について説明する。第13図は本発明の第9の実施例の抵抗要素子の平面図を示している。第13図において $M_1 \sim M_n$ は絶縁体膜である。第9の実施例と第8の実施例との差異は超電導薄膜 $S_1 \sim S_n$ を引き出しパターンPで接続し、前記引き出しパターンPを引き出し端子Tに接続したことにある。本発明の第9の実施例の抵抗要素子の使用方法としては引き出し端子Tをグランド電位に接地して用いる。したがって超電導薄膜 $S_1 \sim S_n$ もグランド電位に固定されることになり、第8の実施例と比較して、さらに各超電導薄膜抵抗要素子を電磁的にしゃへいすることができる。

以下、本発明の第10の実施例の抵抗要素子について説明する。第14図は本発明の第10の実施例の

抵抗要素子の平面図を示している。第10の実施例では超電導薄膜抵抗要素子 R_1 および R_n の一端を短絡して、超電導薄膜抵抗要素子 R_1 に接続し、かつ前記超電導薄膜抵抗要素子 R_1 の一端を引き出しパターンPに接続している。以下、本発明の第10の実施例の抵抗要素子の使用方法について説明する。第15図は本発明の第10の実施例の抵抗要素子の使用方法を説明するための説明図である。第15図において、18・19・20は電子回路である。また、仮に超電導薄膜抵抗要素子の臨界電流は R_1 は20mA、 R_2 は30mA、 R_3 は40mA、 R_n は50mAに調整されているものとする。今、電子回路18に電流が20mA以上流れると、超電導薄膜抵抗要素子 R_1 の超電導状態が破れ、抵抗値を持つことにより、電子回路18に流入する電流を制限する。同様に電子回路19に電流が30mA以上、電子回路20に電流が50mA以上流れると、それぞれ超電導薄膜抵抗要素子 R_2 および R_n の超電導状態が破れ、抵抗値を持つことにより、電子回路に流入する電流を制限することができる。また電子回

路18と電子回路19に流れる電流の和が40mAをこえたとき、超電導薄膜抵抗要素子の超電導状態が破れ、抵抗値をもつことにより電子回路18および19へ流入する電流を制限することができる。以上のように超電導薄膜抵抗要素子の臨界電流値をそれぞれ所定値に調整しておくことにより、本発明の抵抗要素子で種々の電子回路の電流を制御することができ、かつ複数の電子回路の電流量の和で電子回路の電流値を制御することができる。

なお本発明の実施例において、超電導薄膜抵抗要素子上に導電薄膜6を形成するとしたが、これに限るものではなく、前記位置関係は逆でもよい。

また本発明の実施例において、トリミング臨界電流値を調整するとしたが、超電導薄膜を除去するものだけに限定するものではなく、超電導薄膜を超電導でない薄膜に変質させるものをも含むことは明らかである。

また、上記実施例中、超電導材料としては、たとえば、いわゆる常温超電導体を用いるか、ま

たは、超電導臨界温度が室温と液体窒素の沸点の間の材料を用いて液体窒素で冷却するか(図示せず)、もしくは超電導臨界温度が液体窒素の沸点以下の材料を用いて液体ヘリウムで冷却するか(図示せず)をすればよい。常温超電導体の一例としては、組成としてストロンチウム(Sr)、バリウム(Ba)、イットリウム(Y)及び銅(Cu)を夫々1:1:1:3の比率で含有するセラミック酸化物がある。その製造方法の一例としては、出発原料としてSrCO₃、BaCO₃、Y₂O₃、CuOの夫々の粉体を所定量混合し、粉碎し、空気中において920℃で5時間焼成する。この焼成・粉碎を3回繰り返し、均質性を高める。このようにして処理した混合粉体を冷間圧縮成型した後、空気中において1000℃で5時間焼成し、除冷することにより製造する。

発明の効果

以上のように本発明の抵抗体素子は超電導材料からなる薄膜を絶縁基板上に形成し、前記薄膜にトリミングをほどこし、臨界電流値が所定値とな

るようにしたものである。したがって従来にはない電流値により抵抗値を生じさせ、新しい論理及び機能素子を得ることができる。また超電導薄膜抵抗体素子は通常動作時は全く電力を消費せず、したがって発熱しないため前述のことは超電導薄膜抵抗体素子を高密度実装をする場合、非常に有効となる。さらに本発明の抵抗体素子は超電導薄膜または超電導パターンを形成したことにより、電磁しゃへいをおこなうことができ、外部雑音に強い抵抗体素子を提供することができる。

4. 図面の簡単な説明

第1図及び第2図は本発明の第1の実施例における抵抗体素子の平面図、第3図(a)(b)は本発明の抵抗体素子の使用方法の説明図、第4図は本発明の第2の実施例における抵抗体素子の平面図、第5図は本発明の第3の実施例における抵抗体素子の平面図、第6図は本発明の第4の実施例における抵抗体素子の平面図、第7図は本発明の第5の実施例における抵抗体素子の平面図、第8図は本発明の第6の実施例における抵抗体素子の平面図、

第9図は本発明の第7の実施例における抵抗体素子の平面図、第10図は第9図のBB'線における断面図、第11図は本発明の抵抗体素子の使用方法の説明図、第12図は本発明の第8の実施例における抵抗体素子の平面図、第13図は本発明の第9の実施例における抵抗体素子の平面図、第14図は本発明の第10の実施例における抵抗体素子の平面図、第15図は本発明の抵抗体素子の使用方法の説明図、第16図・第17図は従来の抵抗体素子の平面図、第18・第19図は第17図のCC'線における断面図、第20図(a)(b)(c)は従来の抵抗体素子の使用方法の説明図である。

1……絶縁基板、2……超電導薄膜抵抗体素子、3……引き出しパターン、4……引き出し端子、5……保護膜、6……導電薄膜、7……トリミング溝、8……オープンコレクタTTL IC、9……絶縁体膜、10……超電導パターン、11……絶縁体膜、12……超電導薄膜、13……絶縁体膜、14……引き出し端子、15……引き出しパターン、16・18・19・20……電子回路、17……電圧および電

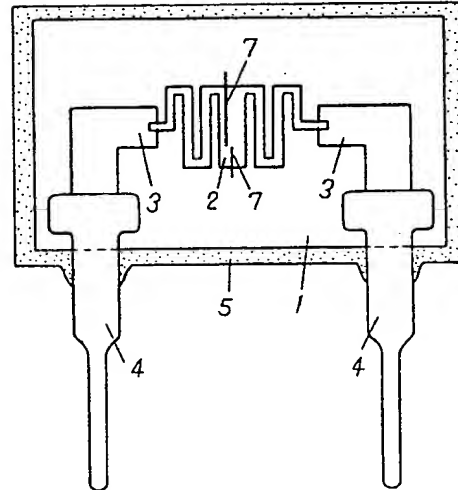
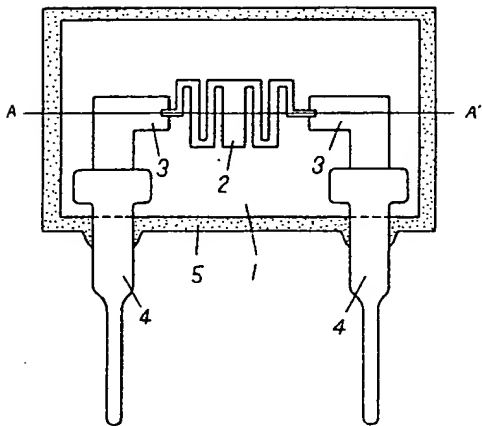
流印加手段、21……カーボン抵抗、22……リード線、23……TTL IC、24……オペアンプ、25・26・27・28・29……抵抗体素子、T₁～T_n……引き出し端子、R₁～R_n……超電導薄膜抵抗体素子、P₁～P_n……引き出しパターン、M₁～M_n……絶縁体膜、N₁～N_n……厚膜抵抗体素子、S₁～S_n……超電導薄膜。

代理人の氏名 弁理士 中尾敏男 ほか1名

- 1 絶縁基板
2 超電導薄膜抵抗素子
3 引き出しパターン
4 引き出し端子
5 保護膜

第2図

第1図

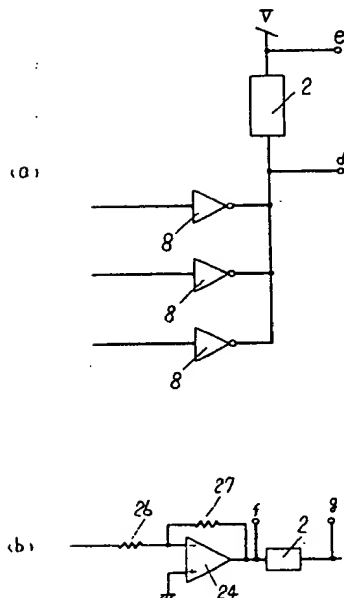


8 オープンコレクタTTL IC

第4図

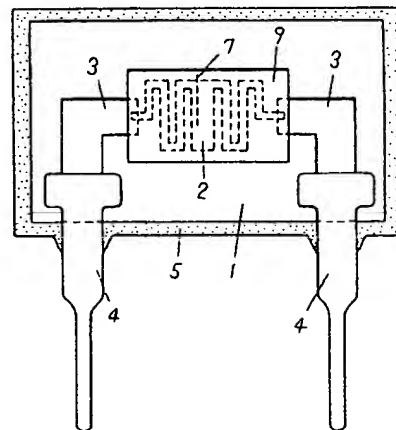
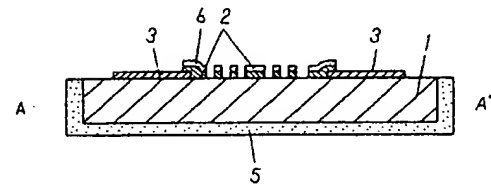
6 導電薄膜

第3図



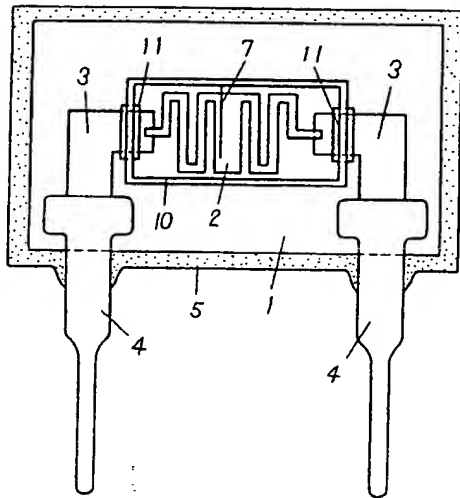
第5図

9 絶縁体膜



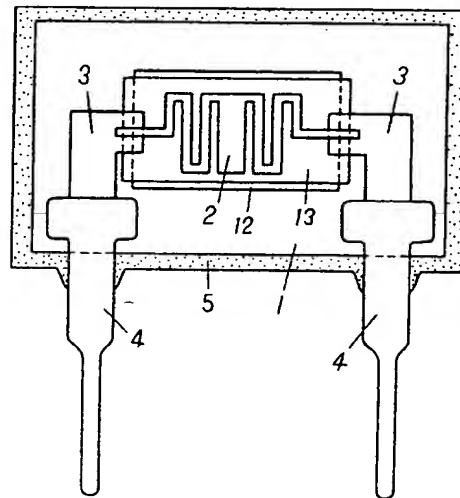
10 --- 超電導パターン
11 --- 絶縁体膜

第 6 図



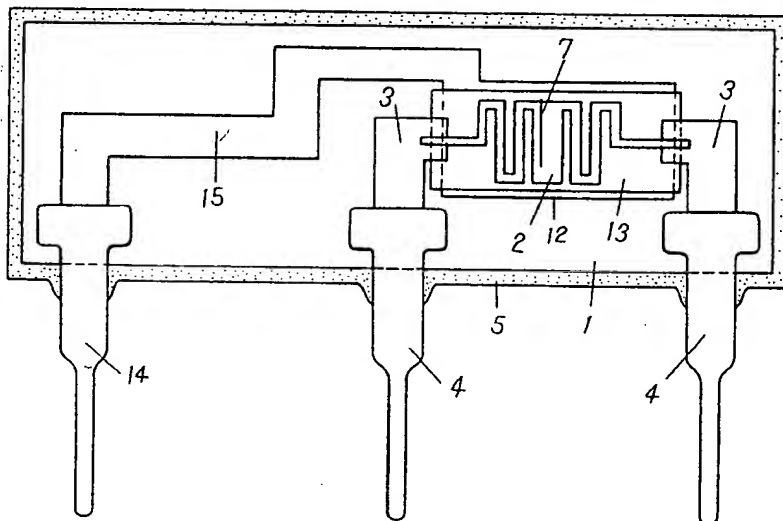
第 7 図

12 --- 超電導薄膜
13 --- 絶縁体膜



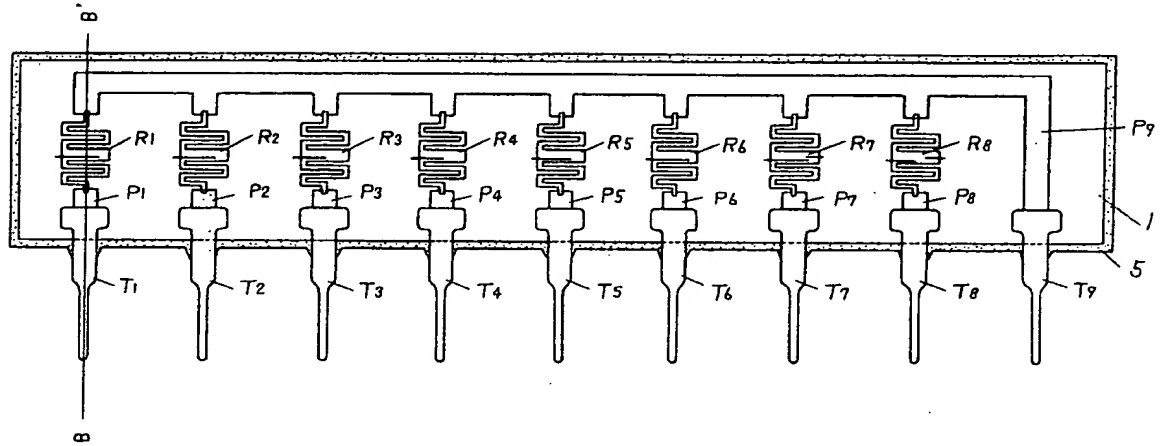
第 8 図

14 --- 引き出し端子
15 --- 引き出しパターン



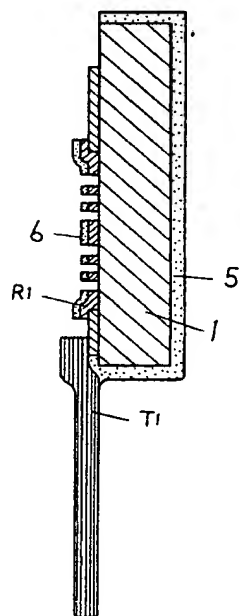
第 9 図

$T_1 \sim T_9$... 引き出し端子
 $R_1 \sim R_8$... 超電導薄膜低抗体系子
 $P_1 \sim P_9$... 引き出しパターン

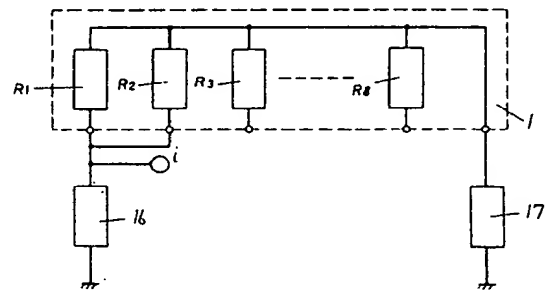


第 10 図

16 ... 電子回路
 17 ... 電圧および電流印加手段

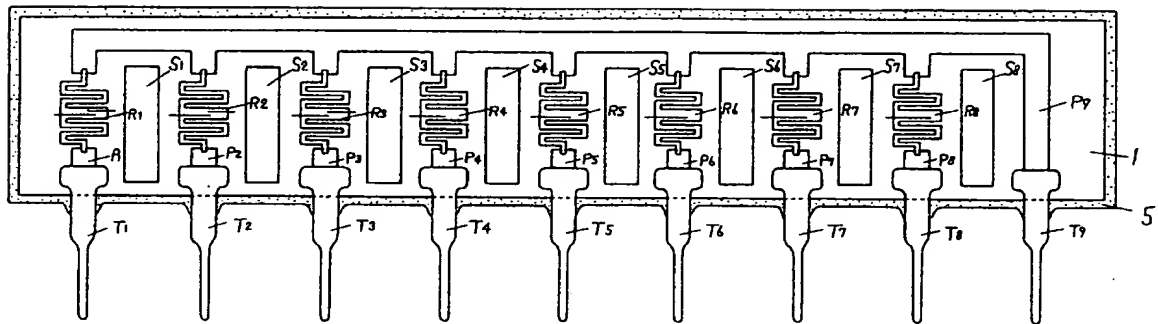


第 11 図



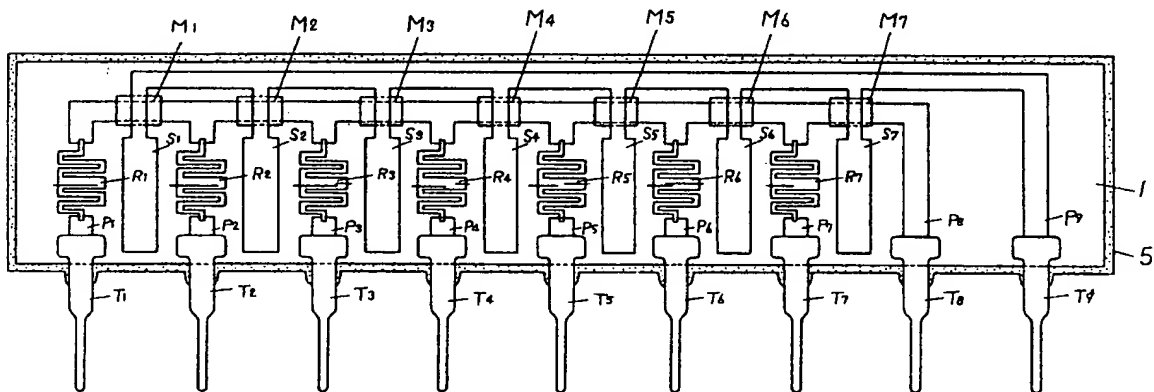
第 1 2 図

$S_1 \sim S_8$... 超電導薄膜

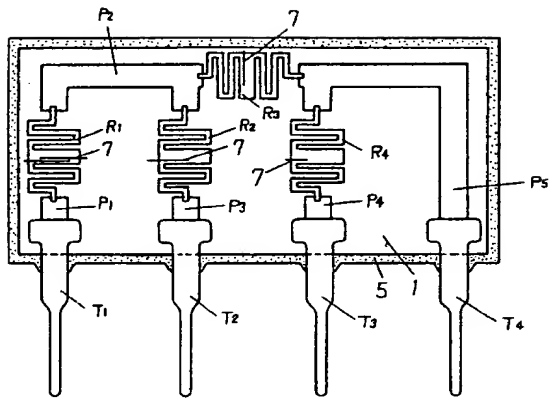


第 1 3 図

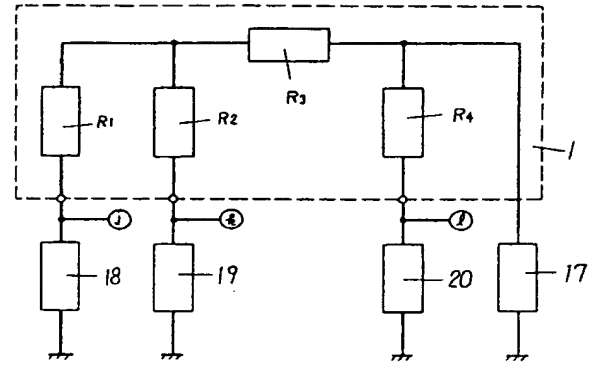
$M_1 \sim M_7$... 絶縁体膜



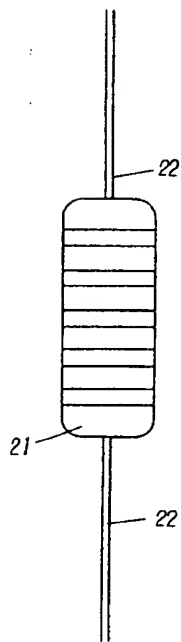
第14図



第15図

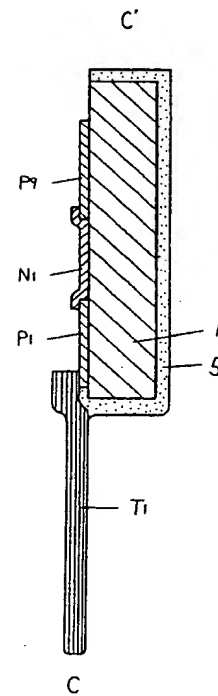


第16図



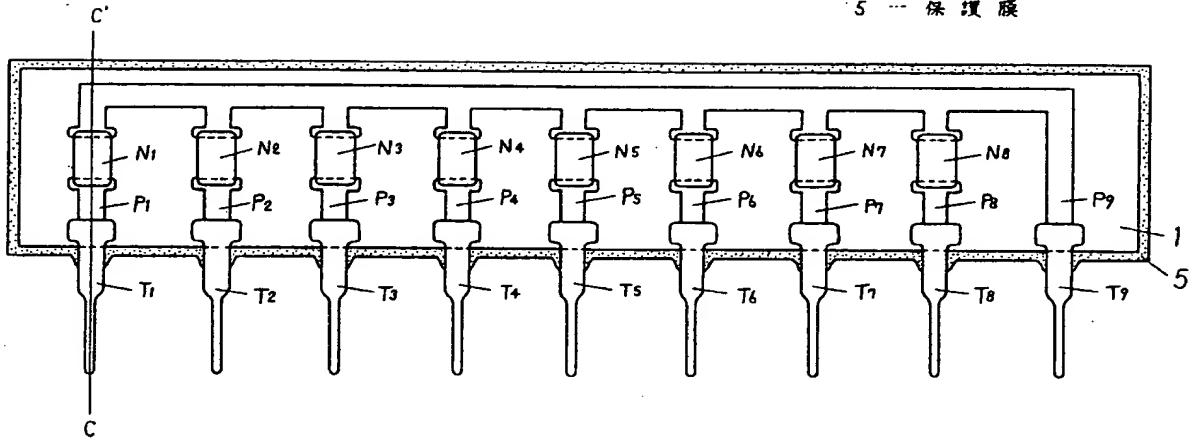
21 -- カーボン抵抗体素子
22 -- リード線

第18図

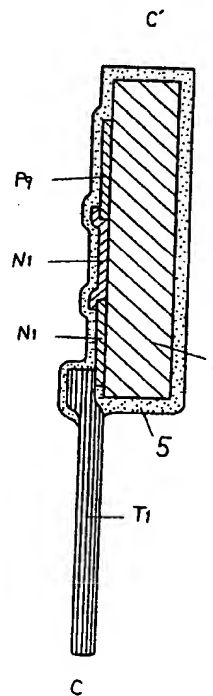


第17図

$T_1 \sim T_9$... 引き出し端子
 $P_1 \sim P_9$... 引き出しパターン
 $N_1 \sim N_8$... 厚膜抵抗体素子
 1 ... 絶縁基板
 5 ... 保護膜



第19図



第20図

8 --- オープンコレクタTTL IC
23 --- TTL IC
24 --- オペアンプ
25, 26, 27, 28 --- 抵抗体素子
29 --- ネットワーク抵抗

